

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Jun YAMAUCHI, et al.

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HEREWITH

FOR: SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD OF THE SAME

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

☐ Full benefit of the filing date of U.S. Application Serial Number _____, filed _____, is claimed pursuant to the provisions of **35 U.S.C. §120**.

☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of **35 U.S.C. §119(e)**:
Application No. _____ Date Filed _____

☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of **35 U.S.C. §119**, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

COUNTRY

Japan

APPLICATION NUMBER

2002-278088

MONTH/DAY/YEAR

September 24, 2002

Certified copies of the corresponding Convention Application(s)

☒ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

☐ were filed in prior application Serial No. _____ filed _____

☐ were submitted to the International Bureau in PCT Application Number _____

Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

☐ (A) Application Serial No.(s) were filed in prior application Serial No. _____ filed _____; and


☐ (B) Application Serial No.(s)

☐ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124



22850

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 9月24日

出 願 番 号

Application Number:

特願2002-278088

[ST.10/C]:

[JP2002-278088]

出 願 人

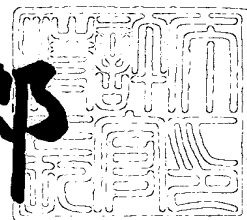
Applicant(s):

株式会社東芝

2003年 2月28日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3011837

【書類名】 特許願

【整理番号】 13B027041

【提出日】 平成14年 9月24日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/22
H01L 21/24

【発明の名称】 半導体装置及びその製造方法

【請求項の数】 10

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝
研究開発センター内

 【氏名】 山内 淳

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝
横浜事業所内

 【氏名】 青木 伸俊

【特許出願人】

 【識別番号】 000003078

 【氏名又は名称】 株式会社 東芝

【代理人】

 【識別番号】 100083806

 【弁理士】

 【氏名又は名称】 三好 秀和

 【電話番号】 03-3504-3075

【選任した代理人】

 【識別番号】 100068342

 【弁理士】

 【氏名又は名称】 三好 保男

【選任した代理人】

【識別番号】 100100712

【弁理士】

【氏名又は名称】 岩▲崎▼ 幸邦

【選任した代理人】

【識別番号】 100100929

【弁理士】

【氏名又は名称】 川又 澄雄

【選任した代理人】

【識別番号】 100108707

【弁理士】

【氏名又は名称】 中村 友之

【選任した代理人】

【識別番号】 100095500

【弁理士】

【氏名又は名称】 伊藤 正和

【選任した代理人】

【識別番号】 100101247

【弁理士】

【氏名又は名称】 高橋 俊一

【選任した代理人】

【識別番号】 100098327

【弁理士】

【氏名又は名称】 高松 俊雄

【手数料の表示】

【予納台帳番号】 001982

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】	図面	1
【物件名】	要約書	1
【プルーフの要否】	要	

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 半導体層の半導体構成原子の共有結合半径の最小値より大きな共有結合半径を有する第 1 の不純物と、

前記半導体層の半導体構成原子の共有結合半径の最大値より小さな共有結合半径を有する第 2 の不純物とを含み、

前記第 1 の不純物と前記第 2 の不純物は前記半導体層中で互いに最隣接置換位置に配置され、かつ、前記最隣接置換位置に配置された前記第 1 の不純物と前記第 2 の不純物が電氣的に活性化することを特徴とする半導体装置。

【請求項 2】 前記第 1 の不純物及び前記第 2 の不純物の少なくとも一方が、前記半導体層に対するアクセプタ又はドナーの不純物であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記第 1 の不純物及び前記第 2 の不純物のいずれか一方の不純物のドーピング濃度が、前記一方の不純物に固有の電氣的活性不純物濃度以上であることを特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 4】 前記第 1 の不純物及び前記第 2 の不純物のいずれか一方が、最隣接置換位置に配置されたときに前記半導体層のバンドギャップ中央を越える深い準位となる不純物であることを特徴とする請求項 1 ～ 3 のいずれか 1 項に記載の半導体装置。

【請求項 5】 前記半導体層がシリコンよりなり、前記第 1 の不純物及び前記第 2 の不純物が、インジウム及びボロンであることを特徴とする請求項 1 ～ 3 のいずれか 1 項に記載の半導体装置。

【請求項 6】 前記半導体層がシリコンよりなり、前記第 1 の不純物及び前記第 2 の不純物が、インジウム及び炭素であることを特徴とする請求項 1 ～ 3 のいずれか 1 項に記載の半導体装置。

【請求項 7】 半導体基板を準備する工程と、

前記半導体基板の半導体構成原子の共有結合半径の最小値より大きな共有結合半径を有する第 1 の不純物を前記半導体基板の半導体層にドーピングする工程と、

前記半導体基板の半導体構成原子の共有結合半径の最大値より小さな共有結合半径を有する第 2 の不純物を前記第 1 の不純物の最隣接置換位置にドーピングする工程

とを含むことを特徴とする半導体装置の製造方法。

【請求項 8】 前記第 1 の不純物及び前記第 2 の不純物の少なくとも一方が、前記半導体層に対するアクセプタ又はドナーの不純物であることを特徴とする請求項 7 に記載の半導体装置の製造方法。

【請求項 9】 前記第 1 の不純物及び前記第 2 の不純物のいずれか一方の不純物が、前記半導体層において前記一方の不純物に固有の電気的活性不純物濃度以上にドーピングされることを特徴とする請求項 7 又は 8 に記載の半導体装置の製造方法。

【請求項 10】 前記第 1 の不純物及び前記第 2 の不純物が、イオン注入方法により前記半導体層にドーピングされることを特徴とする請求項 7 ～ 9 のいずれか 1 項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置およびその製造方法に関し、特に共有結合半径の異なる不純物をドーピングした半導体層を有する半導体装置に関する。

【0002】

【従来の技術】

半導体装置において半導体層中での不純物濃度分布の制御は極めて重要な問題である。半導体層の不純物濃度分布を制御性よく形成する技術として、従来から熱拡散工程が一般によく用いられている。しかし、ドーピングする不純物によっては、十分な電気的活性不純物濃度が得られない場合や、不純物の拡散係数が大きいために所望の不純物濃度分布が得られない場合があった。

【0003】

例えば、シリコン（Si）等の半導体基板に作られた微細な金属・酸化物・半導体・電界効果トランジスタ（MOSFET）のゲート領域においては、短チャ

ネル効果を抑制し、かつ高い駆動電流を得るために、チャンネルの表面領域を低濃度にしたまま、表面空乏層より深いところでは高濃度になるような不純物濃度分布 (super steep retrograde channel profile: SSRP) が必要になる。他方、ソース・ドレイン領域では、低抵抗で浅い不純物拡散層を形成することが要求される。

【0004】

nチャンネルMOSFETのSSRPを形成するために、アクセプタ不純物としてインジウム(In)が用いられる場合があるが、Inの活性不純物濃度が低いためにチャンネルの深い領域で高濃度にすることができない。また、pチャンネルMOSFETのソース・ドレイン領域においては、アクセプタ不純物としてボロン(B)が用いられる場合が多いが、BのSi結晶中での拡散係数が大きいために浅い不純物拡散層を形成することが非常に困難であった。また、Inは活性不純物濃度が低いために、pチャンネルMOSFETのソース・ドレイン領域のアクセプタ不純物に用いることができなかった。

【0005】

複数の不純物を一緒にドーピングする「コドーピング」という技術が、以前から数多く提案されている。コドーピング技術では、気相成長した結晶の欠陥を低減することを目的として、リン(P)と砒素(As)をSi結晶に混ぜてドーピングする方法が報告されている(例えば、特許文献1及び2参照)。この場合には、P及びAs単体での活性不純物濃度を超えたキャリア濃度を実現することはできない。また、アクセプタ原子の拡散を抑制するために、アクセプタ原子に加えて半導体構成原子をコドーピングする方法が報告されている(例えば、特許文献3参照)。また、Si結晶にBをドーピングする場合にゲルマニウム(Ge)をコドーピングする方法が用いられているが、Bの拡散や活性化率を変えるためにはGeを高濃度にドーピングしなくてはならないという問題があった。

【0006】

【特許文献1】

特公昭55-028215号公報(第1-2頁)

【0007】

【特許文献 2】

特公昭 5 5 - 0 2 5 4 9 2 号公報 (第 2 頁)

【0 0 0 8】

【特許文献 3】

特開 2 0 0 0 - 6 8 2 2 5 号公報 (第 2 - 3 頁、第 2 図)

【0 0 0 9】

【発明が解決しようとする課題】

上述したように、M O S F E T 等の半導体装置では、チャネルあるいはソース・ドレイン領域に高濃度不純物ドーパ層が必要とされるが、ドーパントの活性不純物濃度を越えてドーパすることができず、また高濃度にドーパした不純物の拡散を抑制することができない等の問題があった。

【0 0 1 0】

本発明は、上記した問題を解決するためになされたものであり、その目的とするところは、不純物の活性化率を向上させ、拡散を抑制した不純物ドーパ層を有する半導体装置及びその製造方法を提供することにある。

【0 0 1 1】

【課題を解決するための手段】

上記目的を達成するために、本発明の第 1 の特徴は、(イ) 半導体層にドーパされ、半導体層の半導体構成原子の共有結合半径の最小値より大きな共有結合半径を有する第 1 の不純物と、(ロ) 半導体層にドーパされ、半導体層の半導体構成原子の共有結合半径の最大値より小さな共有結合半径を有し、第 1 の不純物の最隣接置換位置に配置された第 2 の不純物とを含み、(ハ) 第 1 の不純物と第 2 の不純物は半導体層中で互いに最隣接置換位置に配置され、かつ、最隣接置換位置に配置された第 1 の不純物と第 2 の不純物が電氣的に活性化する半導体装置であることを要旨とする。

【0 0 1 2】

本発明の第 1 の特徴によれば、不純物の活性化率を向上させ、拡散を抑制した不純物ドーパ層を有する半導体装置を提供することができる。

【0 0 1 3】

本発明の第 2 の特徴は、（イ）半導体基板を準備する工程と、（ロ）半導体基板の半導体構成原子の共有結合半径の最小値より大きな共有結合半径を有する第 1 の不純物を半導体基板の半導体層にドーピングする工程と、（ハ）半導体基板の半導体構成原子の共有結合半径の最大値より小さな共有結合半径を有する第 2 の不純物を第 1 の不純物の最隣接置換位置にドーピングする工程とを含む半導体装置の製造方法装置であることを要旨とする。

【 0 0 1 4 】

本発明の第 1 及び第 2 の特徴において、第 1 の不純物及び第 2 の不純物の少なくとも一方は、半導体層に対するアクセプタ又はドナーの不純物である。また、第 1 の不純物及び第 2 の不純物のいずれか一方の不純物のドーピング濃度を、一方の不純物に固有の電気的活性不純物濃度以上にドーピングしてもよい。また、第 1 の不純物及び第 2 の不純物のいずれか一方は、最隣接置換位置に配置されたときに半導体層のバンドギャップの中央を越える深い準位となる不純物である。また、半導体層がシリコンの場合、第 1 の不純物及び第 2 の不純物が、インジウム及びボロンであることが好ましい。この組み合わせにより、インジウムの電気的活性不純物濃度以上のキャリア濃度が実現でき、ボロンの拡散を抑制することができる。また、半導体層がシリコンの場合、第 1 の不純物及び第 2 の不純物が、インジウム及び炭素であっても同様の効果が得られる。更に、第 1 の不純物及び第 2 の不純物が、イオン注入方法により半導体層にドーピングされることが好ましい。

【 0 0 1 5 】

【発明の実施の形態】

次に、図面を参照して、本発明の実施の形態を説明する。以下の図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。ただし、図面は模式的なものであり、形状や寸法は現実のものとは異なることに留意すべきである。したがって、具体的な形状や寸法は以下の説明を参酌して判断すべきものである。また図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることはもちろんである。

【 0 0 1 6 】

本発明の実施の形態に係る半導体装置は、図 1 に示すように、半導体基板 1 0

の主表面側に第 1 及び第 2 の不純物原子が最隣接格子配置にドーピングされた半導体層 1 2 を有している。半導体層 1 2 上には、例えば、半導体装置のゲート酸化膜等の絶縁膜 1 4 が設けられている。例えば、第 1 の不純物原子の共有結合半径は、半導体層 1 2 を構成する半導体原子の共有結合半径の最小値よりも大きく、第 2 の不純物原子の共有結合半径は、半導体層 1 2 を構成する半導体原子の共有結合半径の最大値よりも小さい。第 1 及び第 2 の不純物原子の一方あるいは両方をアクセプタ又はドナー不純物としてある。

【 0 0 1 7 】

まず、本発明の基礎となるモデルについて、図 2 ～図 6 を用いて説明する。強結合近似ではダイヤモンド (C)、シリコン (Si)、ゲルマニウム (Ge)、III-V 族化合物、あるいは、II-VI 族化合物等の正 4 面体型構造の半導体では、図 2 に示すように、半導体原子 5 1 が sp^3 混成軌道 5 3 を構成する。半導体原子 5 1 が、単独の原子状態から分子状態になると、図 3 に示すように、単独原子軌道エネルギー準位 E_h の sp^3 混成軌道 5 3 は、隣り合う半導体原子 5 1 間の結合軌道エネルギー準位 E_B の結合軌道及び反結合軌道エネルギー準位 E_{AB} の反結合軌道に分裂する。更に、分子状態から結晶状態に移行すると、結合軌道及び反結合軌道が広がり、エネルギーギャップ E_g を有する価電子帯 VB 及び伝導帯 CB となる。

【 0 0 1 8 】

半導体中でアクセプタあるいはドナーとして働くが、比較的深い準位を持つ不純物原子 2 個が、その半導体中で最隣接置換位置に存在している場合の電子状態を考える。以下説明を簡単にするために具体例として、IV 族元素半導体の Si 中のアクセプタであるインジウム (In) 及びボロン (B) について述べるが、他のアクセプタ不純物であってもよいことは、勿論である。また、ドナーの場合にも同様の議論が、電子とホールを入れ替えることにより成立し、更に、化合物半導体を含む他の半導体でも同様の議論が成り立つ。

【 0 0 1 9 】

図 4 に示すように、第 1 の不純物 6 1 及び第 2 の不純物 6 2 が最隣接置換位置に存在している場合、二つの配置を考えることができる。一方は、図 4 (a) に

示すように、半導体原子 51 と第 1 の不純物 61 あるいは第 2 の不純物 62 間の半導体不純物結合軌道 65a、65b と同様に、第 1 の不純物 61 及び第 2 の不純物 62 が sp^3 混成軌道的に結合した不純物間結合軌道 63 の配置である。この配置を「 sp^3 配置」と呼ぶことにする。他方は、図 4 (b) に示すように、第 1 の不純物 61 及び第 2 の不純物 62 が、結合が切れて距離が開き、半導体原子 51 の方向へ動く場合である。半導体原子 51 と第 1 の不純物 61 あるいは第 2 の不純物 62 間の半導体不純物結合軌道 69a、69b は、グラファイトに似た平面的な sp^2 混成軌道的に結合したものとなる。このとき、第 1 の不純物 61 及び第 2 の不純物 62 間の結合軌道は、切り離されてそれぞれ p 軌道となる。この配置を「 sp^2 配置」と呼ぶことにする。

【0020】

まず、第 1 及び第 2 の不純物 61、62 が同じ不純物、In の場合について図 5 を用いて説明する。In-Si あるいは In-In 結合軌道のエネルギー準位が、エネルギーギャップ E_g で隔てられた価電子帯 VB と伝導帯 CB の間にどのように位置するか推論する。図 5 (a) は、In が sp^3 配置をとる場合の結合軌道のエネルギー準位を示している。In の 4 個の sp^3 混成軌道エネルギー準位 $E_{I_{sp^3}}$ はすべて等しい。In と隣り合う 3 個の Si 原子の混成軌道で作る In-Si 結合軌道は、In が置換位置に孤立して存在する場合と全く同様に価電子帯 VB 上端の比較的浅い位置にアクセプタ準位 E_{A1} を形成する。一方、In の sp^3 混成軌道エネルギー準位 $E_{I_{sp^3}}$ が Si の sp^3 混成軌道エネルギー準位 $E_{S_{sp^3}}$ よりも高い。したがって、最隣接置換位置にある In-In 結合軌道は、In-Si 結合軌道のアクセプタ準位 E_{A1} よりもエネルギー的にやや高くなり、深いアクセプタ準位 E_{D1} となる。また、電子の数を勘定してみると、In は 3 価の原子であるから、深いアクセプタ準位 E_{D1} へは電子は入らないことが分かる。

【0021】

図 5 (b) は、In が sp^2 配置をとる場合である。図 4 (b) に示したように、In の作る軌道は平面的に 3 方向へ広がる 3 個の sp^2 混成軌道と残りの 1 個の p 軌道よりなる。In の sp^3 混成軌道のエネルギー準位 $E_{I_{sp^3}}$ と比べ、

sp^2 混成軌道のエネルギー準位 $E_{I_{sp^2}}$ は低く、 p 軌道のエネルギー準位 E_{I_p} は高くなる。したがって、 sp^2 配置の $In-Si$ 結合軌道のアクセプタ準位 E_{A_2} は、 sp^3 配置の場合のアクセプタ準位 E_{A_1} よりも低くなり、価電子帯 VB の中に形成される。逆に、 sp^2 配置の p 軌道の $In-In$ 結合軌道のアクセプタ準位 E_{D_2} は高くなり、エネルギーギャップ E_g の中央より伝導帯 CB に近い位置に形成される。この p 軌道起因の結合軌道は空、即ち、結合が切れた状態なので、全体として sp^2 配置の方が、 sp^3 配置に比べて電子軌道的なエネルギーは低下する。この低下した分のエネルギーを sp^2 配置化によるエネルギー利得 $\Delta \epsilon$ とする。

【0022】

上述した推論のように、価電子帯上端付近の結合軌道の電子的なエネルギーは、 sp^3 配置から sp^2 配置へ移行することで低下する。実際には、 sp^3 から sp^2 へ移行すると、格子が歪むため弾性的なエネルギーの増加（以下、弾性エネルギー増分 ΔE_s と称する）が生じる。考慮している結合軌道系が sp^3 配置と sp^2 配置のどちらになるかは上記の sp^2 配置化によるエネルギー利得 $\Delta \epsilon$ と弾性エネルギー増分 ΔE_s の大小関係による。アクセプタ準位 E_{A_1} が深いほど、 sp^2 配置化によるエネルギー利得 $\Delta \epsilon$ が大きいので、 sp^2 配置化しやすい傾向がある。 sp^2 配置と sp^3 配置ではドーパントとしての機能に大きな差が生じる。つまり、 sp^3 配置では、 $In-In$ の結合軌道は、若干エネルギーが上昇するものの基本的には電氣的に活性である。一方、 sp^2 配置では結合軌道のエネルギー上昇が大きく電氣的に不活性になると考えられる。

【0023】

In は、 Si に比べ大きい共有結合半径を有している。一般に、基板半導体の Si 原子と共有結合半径が相違する不純物原子の場合には、同種不純物原子が近づくとも格子歪による弾性エネルギーが増加するため、全体としてエネルギーが増加してしまう。しかし、上述したように、 sp^2 配置化によるエネルギー利得 $\Delta \epsilon$ が十分大きければ、弾性エネルギー増分 ΔE_s に打ち勝って $In-In$ のクラスタが形成される。また、孤立不純物原子のアクセプタ準位が深い場合には、不純物原子のアクセプタ準位間の結合軌道に 2 個の電子が入り込むことによるエネルギー利得

も大きくなる。したがって、実効的に不純物原子間に引力が働き、不純物クラスターとして安定に存在することになる。

【 0 0 2 4 】

上述の議論は、簡単なモデル的な推論であった。密度汎関数法に基づく一般化勾配近似を用いた詳細な第一原理計算によると、 $\text{In}-\text{In}$ 結合の形成エネルギーは、 In 原子が単独で存在する場合よりも0.6 eVも低い結果となる。2個の In 原子が置換位置にある場合のエネルギーも、距離と共に増加していく。つまり、 In 原子間に引力が働く傾向がある。また $\text{In}-\text{In}$ 結合は、電氣的に不活性であり、上述の強結合近似のモデルにあるような空の深い準位がエネルギーギャップ中に現れることが示される。逆に、 Si 原子よりも共有結合半径の小さいB原子の場合には、孤立して存在するより最隣接置換位置に2個集まった $\text{B}-\text{B}$ 結合のエネルギーが0.6 eV高くなり、最隣接置換位置 $\text{B}-\text{B}$ 間には斥力が働く。更に、最隣接置換位置の $\text{B}-\text{B}$ は電氣的に活性である。

【 0 0 2 5 】

ドーパントとして電氣的活性化率の良いBのような元素の場合は、 sp^2 配置化によるエネルギー利得 $\Delta \epsilon$ が小さいために弾性エネルギー起因のエネルギー上昇により互いに離れる傾向がある。それに加えて、仮に最隣接置換位置に2個のBが配置されても電氣的に活性なままである。一方で、 In のように sp^2 配置化によるエネルギー利得 $\Delta \epsilon$ が大きいドーパントでは互いに近づきやすく、しかも最隣接置換位置に2個入った場合には電氣的に不活性となる。つまり In は凝集しやすく不活性化し易いドーパントである。

【 0 0 2 6 】

ここで固溶限について考える。固溶限は基板となる固体結晶中で不純物原子が格子間配置にいられずに凝集して析出する濃度とされている。凝集の開始濃度では析出状態を電子顕微鏡等で観察することができないため、電氣的に活性なドーパントの場合にはキャリア濃度の上限を固溶限とする場合が多い。しかしながら上述した sp^2 配置化機構のような場合には、キャリア濃度は飽和して頭打ちになっても不純物原子は凝集せずに主に置換位置に存在している状態にある。

【 0 0 2 7 】

不活性な状態にあるドーパントの活性化を促すためには、 $I_n - I_n$ 結合の組み合わせを I_n と別種の不純物との組み合わせに入れ替えて活性化することが考えられる。図4に示した第1及び第2の不純物6.1、6.2が異なる不純物の場合について、図6を用いて説明する。

【0028】

まず、図6(a)に示すように、第1及び第2の不純物6.1、6.2が最隣接置換位置で sp^3 配置する場合を考える。ここで、第2の不純物6.2の sp^3 混成軌道エネルギー準位 $E_{I_{sp^3}}$ は、第1の不純物6.1の sp^3 混成軌道エネルギー準位 $E_{I_{sp^3}}$ より低く、Siの sp^3 混成軌道エネルギー準位 $E_{S_{sp^3}}$ よりも若干高い。第1の不純物6.1と半導体原子5.1がアクセプタ準位 E_{A_3} を形成する。第2の不純物6.2と半導体原子5.1がアクセプタ準位 E_{A_4} を形成する。また、第1及び第2の不純物6.1、6.2がアクセプタ準位 E_{A_5} を形成する。アクセプタ準位 E_{A_4} は、アクセプタ準位 E_{A_3} に比べて浅くなる。また、第1及び第2の不純物が形成するアクセプタ準位 E_{A_5} は、アクセプタ準位 E_{A_4} より深くなる。即ち、第1の不純物6.1の最隣接置換位置に第2の不純物6.2を配置したとき sp^3 配置化を有利にするには、第2の不純物6.2が半導体結晶の置換位置にあるときに作る電子状態のエネルギー準位、即ちアクセプタ準位 E_{A_4} が第1の不純物6.1のアクセプタ準位 E_{A_3} よりも浅ければよい。

【0029】

一方、図6(b)に示すように、第1及び第2の不純物6.1、6.2が最隣接置換位置で sp^2 配置する場合、半導体原子5.1と第1あるいは第2の不純物6.1、6.2とで形成するアクセプタ準位 E_{A_6} と E_{A_7} は価電子帯の中に形成される。第1及び第2の不純物6.1、6.2間で形成されるアクセプタ準位 E_{D_3} は、エネルギーギャップ E_g の深い位置に形成され、不活性状態となる。

【0030】

結合軌道系が sp^3 配置と sp^2 配置のどちらになるかは上記の sp^2 配置化によるエネルギー利得 $\Delta \epsilon$ と弾性エネルギー増分 ΔE_s の大小関係による。したがって、 sp^2 配置化によるエネルギー利得 $\Delta \epsilon$ を減らして、電気的に活性状態のアクセプタ準位が実現できる sp^3 配置をエネルギー的に有利にする必要がある。

【0031】

このような条件に合致するのがSi中のInに対してはBと炭素(C)である。共有結合半径を見てみると、Siが0.117nmに対して、In、B、及びCは、それぞれ、0.144、0.088、及び0.077nmであり、InとBあるいはInとCの組み合わせは、弾性エネルギーのストレス緩和を引き起こす。またアクセプタレベルはInの155meVに対して、Bは45meVであり、Inに比べて浅い。また、Siと同族元素のCは置換位置では不純物レベルを作らないので、0またはマイナスと考えることができ、同様に条件に合致する。実際、第一原理計算の結果によると、In-B結合及びIn-C結合の場合には、In、B及びIn、Cそれぞれが孤立した状態よりも、全体のエネルギーが約0.6eV及び0.8eV低くなる。また、In-B結合及びIn-C結合軌道は電氣的にも活性化する。Bを例にとると、置換位置のB-BとIn-Inの不活性なクラスタと、2個のIn-Bの活性なクラスタとを比べた場合、In-Bクラスタになった方がエネルギー的に0.6eV程度安定であることを意味している。この事実により、In-Bクラスタが電氣的な活性化率を向上させると共にクラスタ形成によるエネルギーの低下のために拡散を抑制することも可能となる。

【0032】

つまりInの固溶限を越えた濃度領域でInとBを約1:1にドーピングすることにより、活性化率の向上と拡散プロファイルの制御が可能となる。In-Cの場合は、Cがアクセプタ準位を形成しないため、Bに比べてキャリアは半分となるが、同様の効果がある。

【0033】

上述の説明は、IV族半導体の例であるが、III-V族あるいはII-VI族化合物半導体でも同様の機構に基づくドーパント制御が可能である。化合物半導体の場合には、ドーパントの入る置換位置により注意が必要である。例えば、III-V族化合物半導体の場合には、半導体のIII族原子が占めるIII族格子位置をII族原子、あるいはV族原子が占めるV族格子位置をIV族原子が置換する場合、どちらもアクセプタとして働く。また、III族格子位置をIV族原子、あるいはV族格子位置をVI族原子が置換する場合にはドナーとして働く。II-VI族化合物半導体の

場合も同様に複数族の不純物がアクセプタあるいはドナーとして使用できる。また、II-VI族化合物半導体の場合には、ドーパントとして特に空孔も考慮する必要があるところがIII-V族化合物半導体と異なる。II-VI族化合物半導体では空孔がII族格子位置に形成されるときはアクセプタ、VI族格子位置のときはドナーとして働くからである。

【0034】

次に、図1に示した半導体装置において、Si等の半導体基板10中に第1及び第2の不純物61、62としてIn及びBをドーピングする方法を説明する。

【0035】

まず、半導体基板10表面に、熱酸化法等により5nm厚さの絶縁膜14を形成する。絶縁膜14を通して、Inをイオン注入する。イオン注入条件は、加速エネルギー：50keV、ドーズ： $1.5 \times 10^{13} \text{ cm}^{-2}$ である。その後、Bをイオン注入する。イオン注入条件は、加速エネルギー：7keV、ドーズ： $4 \times 10^{13} \text{ cm}^{-2}$ である。イオン注入後熱処理を行う。このようにして、注入不純物が電気的に活性化された半導体層12が半導体基板10の表面領域に形成される。

【0036】

ここで、半導体基板10中に、図7に示すように、In及びBのピーク濃度が一致するようにイオン注入している。Inの固溶限は800～1100℃では、 $1.5 \times 10^{18} \text{ cm}^{-3}$ であるが、Bとの相互作用によりイオン注入されたBのピーク濃度である約 $6 \times 10^{18} \text{ cm}^{-3}$ の活性濃度が実現できる。従って、イオン注入ピーク濃度付近の活性不純物濃度の総量が約 $1 \times 10^{19} \text{ cm}^{-3}$ 以上となるような高濃度の領域を形成することができる。したがって、InとBの相互作用による活性化率の向上効果をMOSFETのチャネル領域に適用することができる。例えば、図7に示したように、半導体基板10の表面は低濃度、約 $2 \times 10^{18} \text{ cm}^{-3}$ で、表面から深さ約20nmでの活性不純物濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 以上となるような急峻な濃度分布を有する半導体層12からなるチャネル領域を形成することができる。本発明の実施の形態では、活性不純物濃度のピークが表面から約20nmとなるようにIn及びBのイオン注入エネルギー

を決定したが、イオン注入エネルギーを適宜設定することにより、活性不純物濃度ピーク位置は任意に設定することが可能である。なお、本発明の実施の形態では、イオン注入ピーク濃度が I_n と B で同程度になるように設定したが、 I_n の活性不純物濃度を上昇させる領域に所望の活性不純物濃度に対応する B 濃度が含まれることが本質的な問題であるため、それぞれのイオン注入ピーク位置は任意に設定することが可能である。また、ピーク濃度はドーズを調整することにより、任意の濃度の設定が可能である。

【 0 0 3 7 】

本発明の実施の形態によれば、 I_n と B を Si 結晶中の最隣接置換位置に配置することにより、 I_n 及び B が共に電氣的に活性状態になり、更に、 I_n 及び B のクラスタ形成によるエネルギーの低下のため、 $I_n - B$ クラスタの生成が促進され、 I_n 及び B の拡散が抑制される。

【 0 0 3 8 】

次に、 p チャネル $MOSFET$ のソース・ドレイン領域に I_n 及び B をドーピングする方法について、図 8 を用いて説明する。

【 0 0 3 9 】

(イ) 図 8 (a) に示すように、 n 型 Si からなる半導体基板 20 の表面に熱酸化法により厚さ 5 nm の酸化膜 24 を形成する。その後、イオン注入により As 、 P などのドナー不純物がドーピングされた深さ 20 nm のチャネルとなる不純物ドーピング層 22 を形成する。

【 0 0 4 0 】

(ロ) 酸化膜 24 上に、図 8 (b) に示すように、導電性のポリシリコン膜 26 を堆積する。

【 0 0 4 1 】

(ハ) フォトリソグラフィ技術を用いて、図 8 (c) に示すように、ポリシリコン膜 26 を加工し、ゲート電極 36 を形成する。このとき、ゲート電極 36 直下の酸化膜 24 が、5 nm の厚さのままでゲート酸化膜 34 となる。ゲート電極 36 以外の領域は酸化膜 24 の厚さがゲート電極加工工程で薄くなった酸化膜 24a となる。

【0042】

(二) 半導体基板20に、In及びBを、各々の不純物ピーク濃度が約 $1 \times 10^{19} \text{ cm}^{-3}$ 、ピーク深さ約30nmとなるように順次イオン注入する。その後、熱処理工程により、図8(d)に示すように、エクステンション拡散層42が形成される。ここで、ゲート電極36がイオン注入のマスクとして働くため、ゲート酸化膜34直下の不純物ドーパ層22にはIn及びBは注入されない。

【0043】

(ホ) 次いで、酸化膜を化学気相成長(CVD)方法等で厚く堆積し、反応性イオンエッチング等の指向性エッチングにより、図8(e)に示すように、ゲート電極36の側壁部に側壁絶縁膜38を形成する。

【0044】

(ヘ) その後、ゲート電極及び側壁絶縁膜38をマスクとして、In及びBのイオン注入を行い、熱処理工程を経て、図8(F)に示すように、ソース・ドレイン拡散層44を形成する。In及びBはピーク濃度約 $1 \times 10^{20} \text{ cm}^{-3}$ 、ピーク深さ約100nmとなるように順次イオン注入する。ここで、ゲート電極36直下の不純物ドーパ層22及び側壁絶縁膜38下のエクステンション拡散層42は、ゲート電極36及び側壁絶縁膜38によりマスクされているため、ソース・ドレイン拡散層44形成の影響を受けない。

【0045】

上述のように、InとBの相互作用により、Inの活性化濃度が上昇し、更に、In及びBの拡散が抑制される効果があるため、エクステンション拡散層42及びソース・ドレイン拡散層44が所望の領域に、所望の活性不純物濃度で形成することが可能となる。

【0046】

(その他の実施の形態)

上記のように、本発明の実施の形態を記載したが、この開示の一部をなす論述及び図面はこの発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例及び運用技術が明らかとなろう。

【0047】

例えば、Si 基板に In 及び B をイオン注入等でドーピングした後に、Si 基板表面に Si 成長層をエピタキシャル成長させることによって更に表面濃度が低濃度な SSRP を形成することもできる。この場合に、Si のエピタキシャル成長の前に、In 或いは B のどちらかを先にドーピングしておき、エピタキシャル成長の後に他方をイオン注入するようにしても構わない。また、Si 基板に In 或いは B のどちらか又は両方をドーピングした後、Si 基板の一部をエッチングして、Si をエピタキシャル成長することにより、更に、濃度差の大きな SSRP を形成することもできる。

【 0 0 4 8 】

なお、ここで述べた実施例では、Si 中に In 及び B をドーピングした場合について述べた。例えば、共有結合半径が Si の共有結合半径に比べて大きな原子と小さな原子で、少なくとも一方の原子がドーパントであり、更に、このドーパントとなる原子が最隣接格子位置にあるときに不活性になるものであれば、本発明の実施の形態と同様の効果が得られる。更に、Si 以外の、例えば、Ge、SiGe 系、SiGeC 系等の IV 族原子からなる半導体や、ガリウム砒素 (GaAs)、アルミニウムナイトライド (AlN)、インジウムガリウムナイトライド ($\text{In}_x\text{Ga}_{1-x}\text{N}$) 等の III-V 族化合物半導体、酸化亜鉛 (ZnO)、硫化亜鉛 (ZnS) 等の II-VI 族化合物半導体等でも、半導体の構成原子の共有結合半径との大小関係及びドーパント原子が最隣接置換位置で不活性化するなどの特徴が同一であれば、本発明の実施の形態と同様の効果が得られる。特に、ダイヤモンドにおいて、第 1 の不純物として燐 (P) 及び第 2 の不純物として窒素 (N) の組み合わせが好適である。また、GaN においては、第 1 の不純物としてベリリウム (Be) 及び第 2 の不純物として炭素 (C) の組み合わせが好適である。

【 0 0 4 9 】

このように、本発明はここでは記載していない様々な実施の形態等を含むことは勿論である。したがって、本発明の技術的範囲は上記の説明から妥当な特許請求の範囲に係る発明特定事項によってのみ定められるものである。

【 0 0 5 0 】

【発明の効果】

本発明によれば、不純物の電氣的活性化率を向上させ、不純物の拡散を抑制した不純物ドーパ層を用いた半導体装置及びその製造方法を提供することができる。

【図面の簡単な説明】

【図 1】

本発明の実施の形態に係わる半導体装置に用いる半導体層の一例を示す断面外略図である。

【図 2】

本発明の実施の形態に係わる強結合近似描像による半導体の電子状態を示す図である。

【図 3】

本発明の実施の形態に係わる強結合近似描像による Si 電子軌道の結合状態を示す図である。

【図 4】

本発明の実施の形態に係わる半導体中の最隣接不純物の結合状態を説明する概念図である。

【図 5】

本発明の実施の形態に係わる半導体中の同一不純物間のクラスタの結合状態のエネルギー準位を示す概念図である。

【図 6】

本発明の実施の形態に係わる半導体中の第 1 及び第 2 の不純物間のクラスタの結合状態のエネルギー準位を示す概念図である。

【図 7】

本発明の実施の形態に係わる半導体層の不純物分布の一例を示す図である。

【図 8】

本発明の実施の形態に係わる半導体装置の製造方法を説明する断面工程図である。

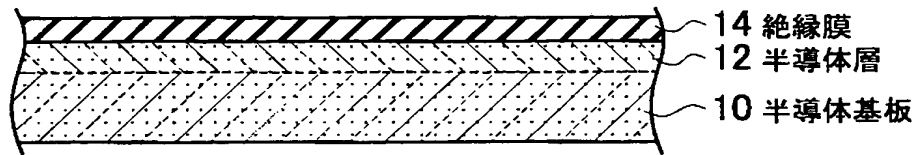
【符号の説明】

10、20 半導体基板

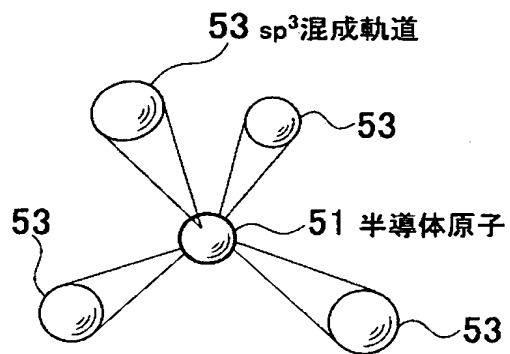
- 1 2 半導体層
- 1 4 絶縁膜
- 2 2 不純物ドーブ層
- 2 4、2 4 a 酸化膜
- 2 6 ポリシリコン膜
- 3 4 ゲート酸化膜
- 3 6 ゲート電極
- 3 8 側壁絶縁膜
- 4 2 エクステンション拡散層
- 4 4 ソース・ドレイン拡散層
- 5 1 半導体原子
- 5 3 $s p^3$ 混成軌道
- 6 1 第 1 の不純物
- 6 2 第 2 の不純物
- 6 3 不純物間結合軌道
- 6 5 a、6 5 b、6 9 a、6 9 b 半導体不純物間結合軌道
- 6 7 a、6 7 b 不純物原子軌道

【書類名】 図面

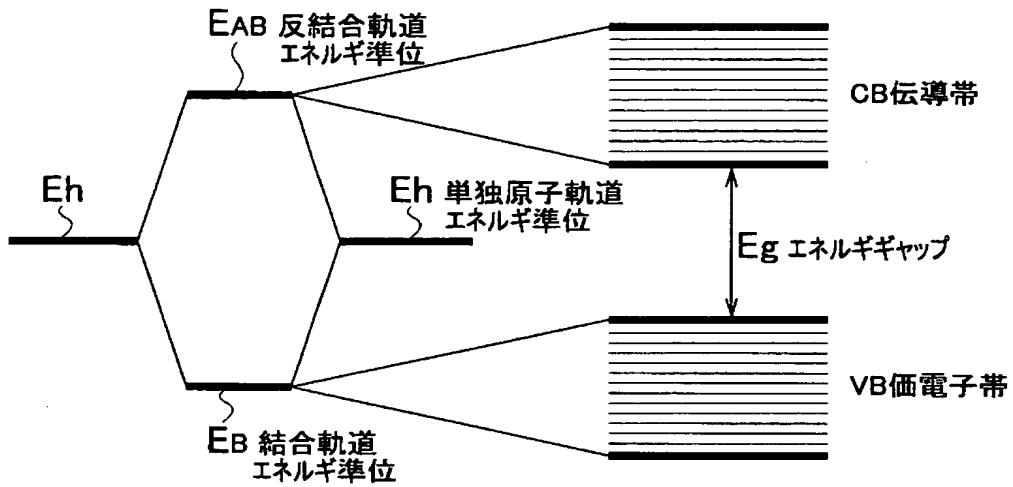
【図 1】



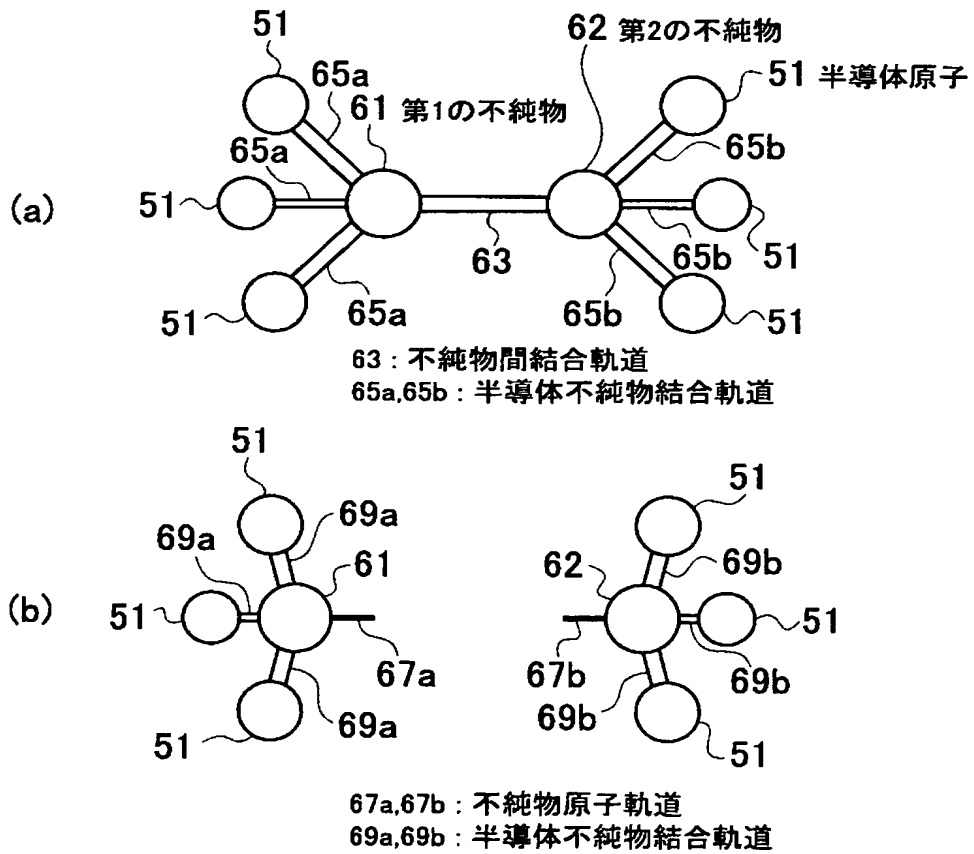
【図 2】



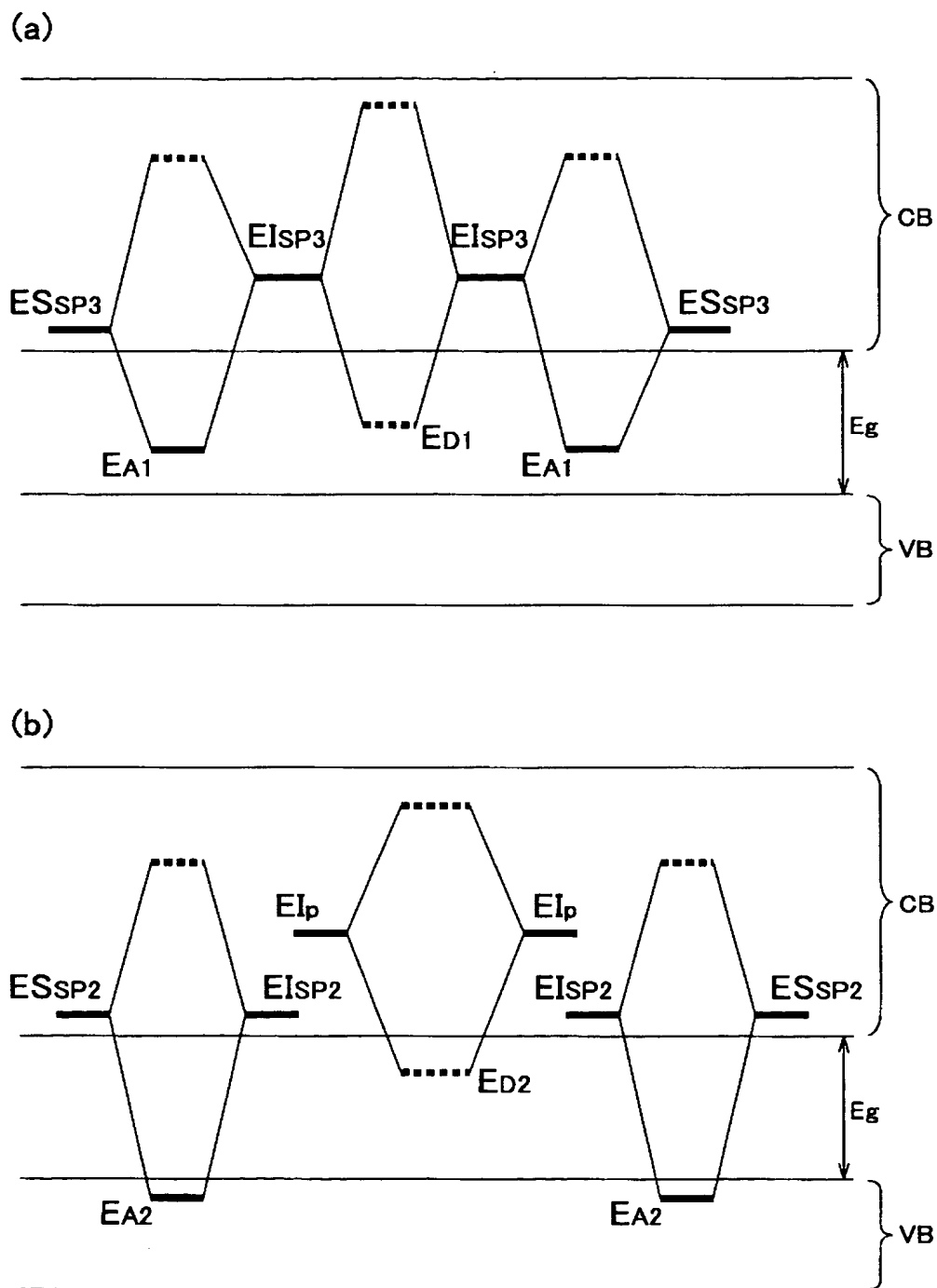
【図 3】



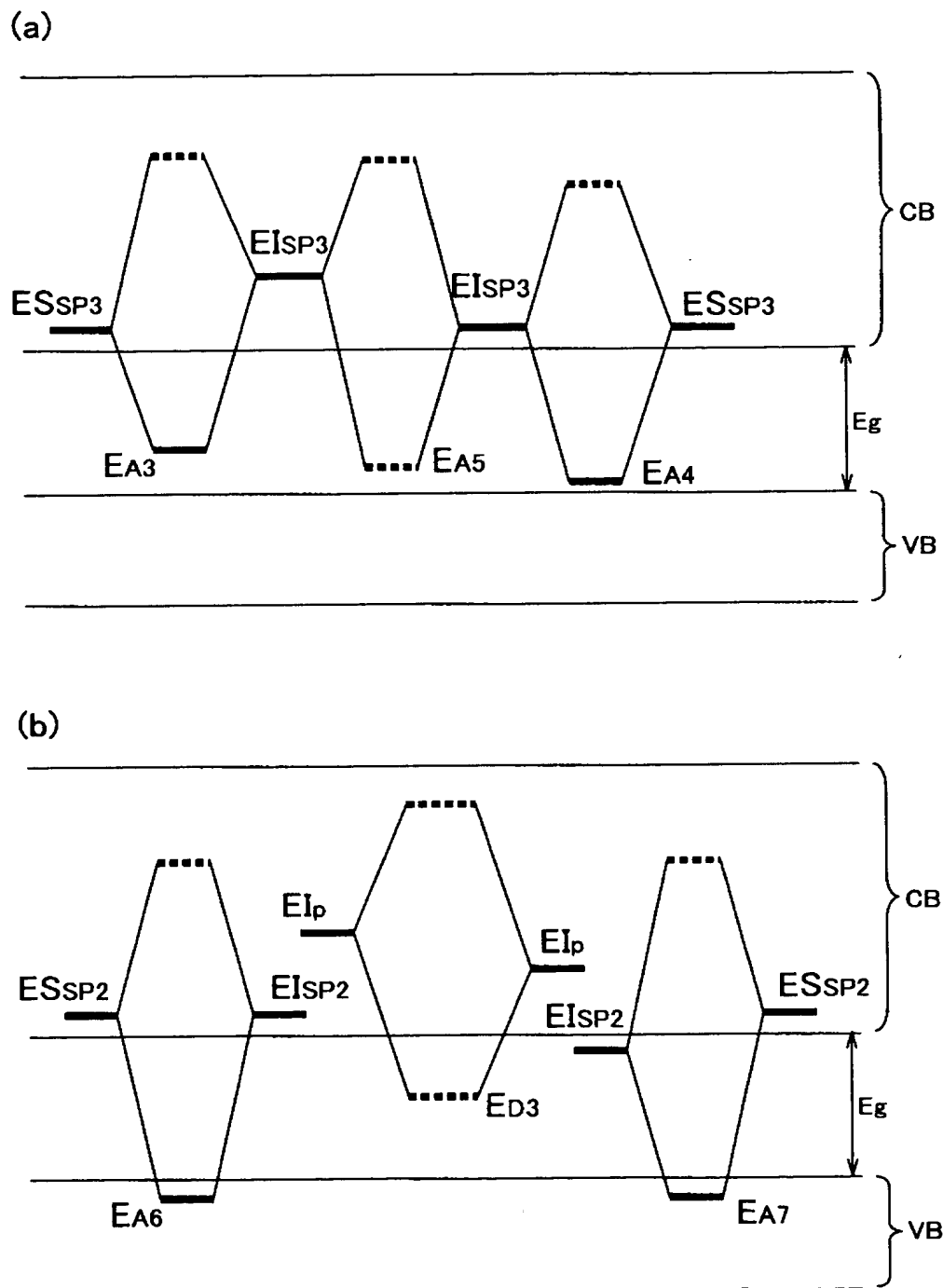
【図 4】



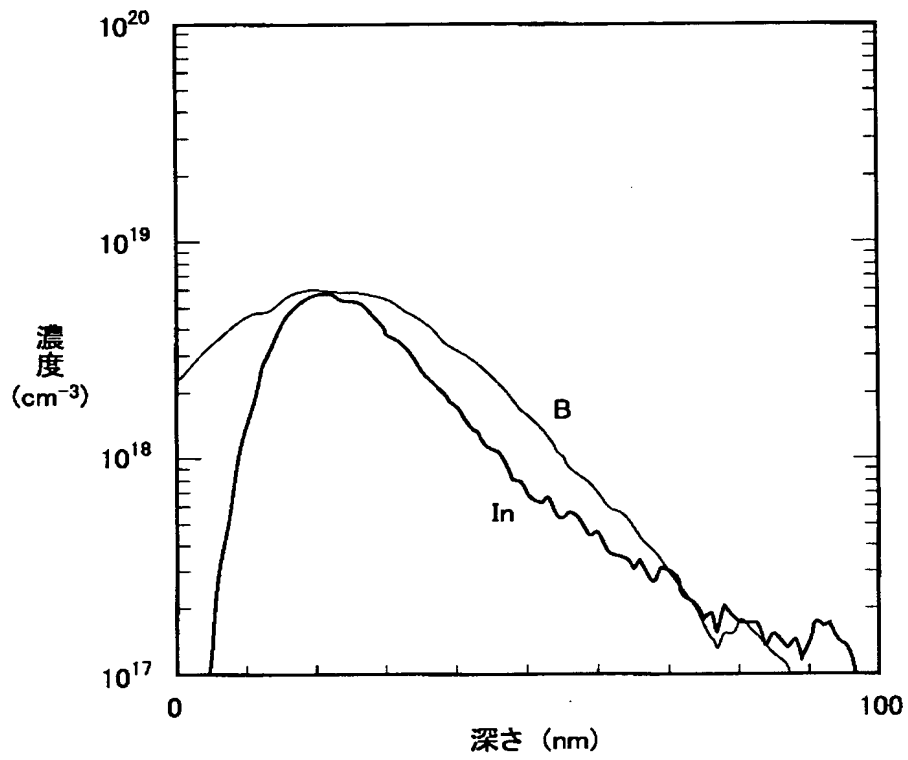
【図 5】



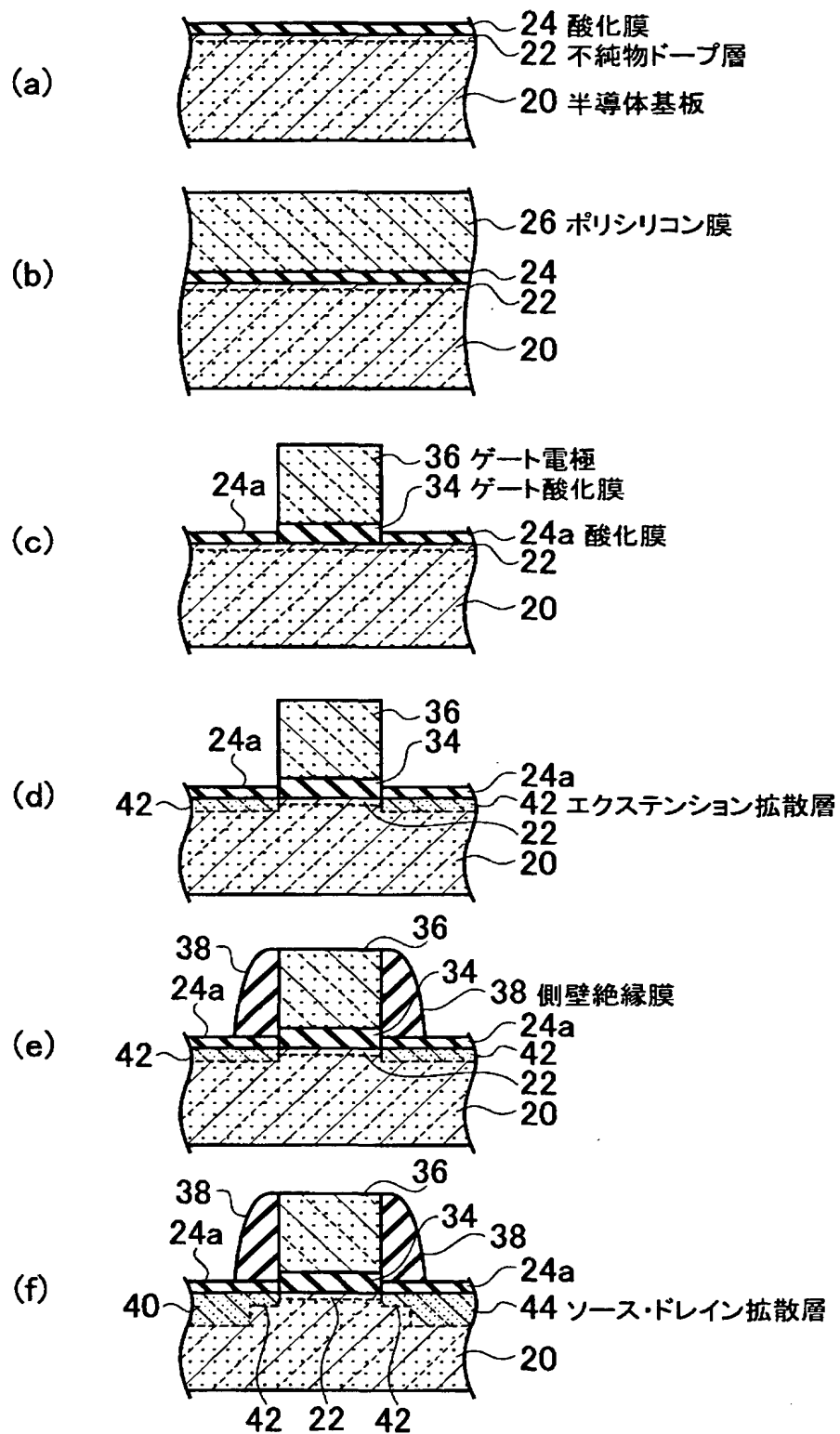
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 不純物の電氣的活性化率を向上させ、不純物の拡散を抑制した不純物ドーピング層を用いた半導体装置を提供する。

【解決手段】 半導体中に半導体原子 5 1 の共有結合半径より大きな共有結合半径を有する第 1 の不純物 6 1 と、半導体原子 5 1 の共有結合半径より小さな共有結合半径を有する第 2 の不純物 6 2 とを、半導体中に互いに隣接するように配置する。

【選択図】 図 4

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日	2001年 7月 2日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目1番1号
氏 名	株式会社東芝